

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-010546  
(43)Date of publication of application : 16.01.1998

(51)Int.Cl. G02F 1/1343

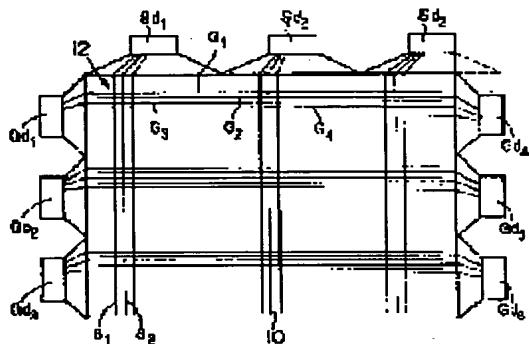
(21)Application number : 08-158649 (71)Applicant : FURON TEC:KK  
(22)Date of filing : 19.06.1996 (72)Inventor : HEBIGUCHI HIROYUKI

## (54) DISPLAY DEVICE AND ITS DRIVING METHOD

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption of a driving circuit system by repeatedly arraying a combination of basic colors along signal lines and setting the number of scanning lines to a multiple of the total number of pixels arrayed along the signal lines by the number of the basic colors.

SOLUTION: One pixel 12 consists of an area sectioned with two longitudinal signal lines S1 and S2 and four lateral scanning lines G1-G4. Further, color filters are arrayed in the order of R, G, and B along the signal lines. Here, when one pixel 12 is composed of three basic colors, the scanning lines G need to be three times as many as before and gate drivers Gd need to be three times as many as before, but the signal lines S and source drivers Sd are both reduced in number to one third as many as before. As for the power consumption of drivers, the source drivers Sd which consume much electric power are greatly reducible in power consumption, so the total power consumption can be suppressed even after an increase of the gate drivers Gd is excluded.



### LEGAL STATUS

[Date of request for examination] 29.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-10546

(43)公開日 平成10年(1998)1月16日

(51)Int.Cl.<sup>6</sup>  
G 0 2 F 1/1343

識別記号 庁内整理番号

F I  
G 0 2 F 1/1343

技術表示箇所

審査請求 未請求 請求項の数6 OL (全8頁)

(21)出願番号 特願平8-158649

(22)出願日 平成8年(1996)6月19日

(71)出願人 395003523

株式会社フロンティック

宮城県仙台市泉区明通三丁目31番地

(72)発明者 蛇口 広行

宮城県仙台市泉区明通三丁目31番地 株式会社フロンティック内

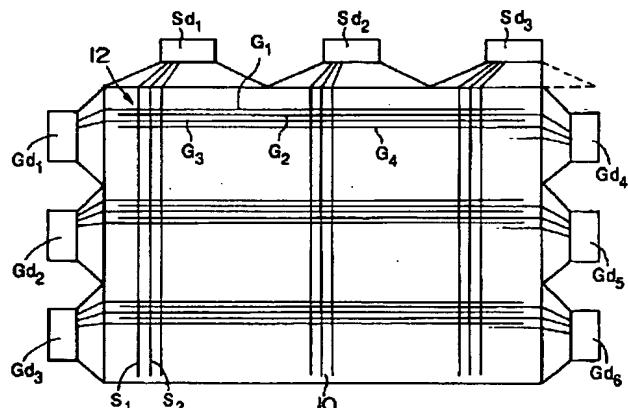
(74)代理人 弁理士 志賀 正武 (外2名)

(54)【発明の名称】 表示装置およびその駆動方法

(57)【要約】

【課題】 本発明は、表示装置に用いられる高価で消費電力の大きなソースドライバの必要数を少なくして液晶表示装置の低価格化、低消費電力化をなし得るようにした表示装置およびその駆動方法を提供することを目的とする。

【解決手段】 本発明は、複数の基本色を組み合わせて1つの色を表示する画素が多数配列され、多数の走査線と多数の信号線とによって前記多数の画素がマトリクス駆動されるとともに、各信号線方向に沿って前記複数の基本色の組み合わせが繰り返し配列され、走査線の数が、信号線に沿って並ぶ全画素数に対する前記基本色数倍の数にされてなるものである。



**【特許請求の範囲】**

**【請求項1】** 複数の基本色を組み合わせて1つの色を表示する画素が多数配列され、多数の走査線と多数の信号線とによって前記多数の画素がマトリクス駆動されるとともに、各信号線方向に沿って前記複数の基本色の組み合わせが繰り返し配列され、走査線の数が、信号線に沿って並ぶ全画素数に対する前記基本色数倍の数にされてなることを特徴とする表示装置。

**【請求項2】** 各信号線に沿って配列された基本色の順番が、信号線に沿って繰り返し同じ順番とされ、走査線に沿って同じ基本色が配列されたことを特徴とする請求項1に記載の表示装置。

**【請求項3】** 信号線に沿って配列された基本色の順番が、信号線に沿って繰り返し同じ順番とされ、前記基本色のそれぞれが信号線に対して斜めに配列され、かつ走査線に沿って互いに異なった基本色が隣接配列されたことを特徴とする請求項1に記載の表示装置。

**【請求項4】** 請求項1記載の表示装置を駆動するにあたり、1つのフレームの間に全走査線を順次走査することを特徴とする表示装置の駆動方法。

**【請求項5】** 請求項1記載の表示装置を駆動するにあたり、1つのフレームを複数のフィールドに分割し、所定のフィールドごとに飛び越し走査することを特徴とする表示装置の駆動方法。

**【請求項6】** 請求項1記載の構成を有し、更に請求項4記載の駆動方法と請求項5記載の駆動方法とを切換手段により選択自在にしたことを特徴とする表示装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は複数の基本色、例えば、R（赤色）、G（緑色）、B（青色）を組み合わせて1つの色を表示するマトリクス駆動の表示装置およびその駆動方法に関する。

**【0002】**

**【従来の技術】** 従来、液晶などの表示素子を利用してこれに光源とカラーフィルタを組み合わせ、カラー表示を可能とした液晶表示装置が知られている。ここでカラーフィルタとして、R、G、Bの3つの基本色をそれぞれドットとして組み合わせて用いることで1つの色表示を行う画素を構成し、この画素を表示領域に多数配列し、更に、液晶を駆動するために信号線と走査線をマトリクス状に配線して信号線と走査線に区画された領域に画素電極を配置し、画素電極に対するスイッチングの切り換えを薄膜トランジスタにより行って各ドットに対応する液晶に電界を印加し、液晶の透過率を変化させて表示、非表示を切り換える薄膜トランジスタ駆動方式の液晶表示装置を例にとって以下に説明する。

**【0003】** この種の液晶表示装置が適用されるコンピュータ用の表示装置において、640（横）×480（縦）ドットの表示を行うVGAにあっては、表示の単

位となる画素（R、G、B各1ドット一組で1画素を構成）の数が、 $640 \times 480 = 307200$ 画素であり、信号線に沿ってRGBに3分割されているために、走査線、信号線の数は、走査線数480本、信号線数 $640 \times 3 = 1920$ 本である。従って総ドット数は、 $640 \times 3 \times 480 = 921600$ ドットとされている。

**【0004】** 図9は、この種のカラー液晶表示装置の画面に駆動用LSIを取り付けたカラー液晶駆動ユニットを示すものである。この図において1は、2枚の対向配置された透明基板間に液晶が封入され、一方の透明基板に共通電極とカラーフィルタが備えられ、他方の透明基板に縦方向に信号線が横方向に走査線がそれぞれ多数本マトリクス状に配線され、信号線と走査線に囲まれて区画された領域に画素電極と薄膜トランジスタが設けられた液晶表示素子であり、この例では液晶表示素子1の左側部側に走査線駆動用の複数のゲートドライバGdが、上辺側と下辺側にそれぞれ信号線駆動用の複数のソースドライバSdが取り付けられている。

**【0005】** 図9にこの例の液晶表示素子1の回路構成を示すが、この例の回路において縦列の信号線S<sub>1</sub>、S<sub>2</sub>、S<sub>3</sub>…と、横列の走査線G<sub>1</sub>、G<sub>2</sub>…が交差状態で多数形成され、信号線と走査線による区画された領域にそれぞれ画素電極5と薄膜トランジスタ6が設けられ、画素電極5を形成した1つの領域が1つのドットとされ、このドットが3つ集合して1つの画素とされている。従って図9に示す回路においては、図10の鎖線で囲まれたような画素7が構成されているので、前記VGAの表示装置にあっては、この画素7が1画面上に307200個形成されていることになる。

**【0006】**

**【発明が解決しようとする課題】** このようなドット数の液晶表示装置1に対して設けられるソースドライバSdとゲートドライバGdは、通常、240本程度の出力ピンを有する1個のLSIから構成されるので、液晶表示素子1の透明基板に実装されるのは、ポリイミドテープにLSIが装着されたものを用いるTCP（テープキャリアパッケージ）の形態であるか、LSIを直接実装するCOG（チップオングラス）の形態とされるのが通常である。従って、前記液晶表示装置1に用いられる信号線1920本と走査線480本に対応するためには、図9に示すように240ピンのソースドライバSdを8個（ $240 \times 8 = 1920$ ）、240ピンのゲートドライバGdを2個（ $240 \times 2 = 480$ ）用いる必要があった。なお、実際の液晶表示装置にあっては、これらの他にもドライバに信号等を供給するための回路が別途必要であるがここでの説明では省略してある。

**【0007】** ここで前記ドライバの消費電力は、以下に記載する如くソースドライバSdの方がゲートドライバGdより大きいとされている。

ドライバ消費電力（約840mW）

ゲートドライバ 低い (約  $20\text{mW} \times 2 = 40\text{mW}$  : 5%を占める。)

ソースドライバ 高い (約  $100\text{mW} \times 8 = 800\text{mW}$  : 95%を占める。)

また、ソースドライバの方がゲートドライバよりも一般に単価において倍程度高価であることも知られている。

【0008】なお、上記のソースドライバの消費電力は、現状においてカラー表示で 6 bit (階調数 64) の代表的なものであり、8 bit の場合は、価格、消費電力共により大きな値となり、ゲートドライバとソースドライバの価格差と消費電力差は更に広がる方向になる。以上の背景から、更なる大画面化、高階調化が進められている液晶表示装置の低コスト化、低消費電力化を図るためにには、これらの高価格なドライバの必要数を少なくすることが望まれている。

【0009】本発明は前記事情に鑑みてなされたものであり、本発明の目的は、複数の基本色を組み合わせて 1 つの色を表示する画素を配列し、マトリクス駆動をする表示装置において駆動回路系での消費電力を低減することにある。

#### 【0010】

【課題を解決するための手段】本発明は前記課題を解決するために、複数の基本色を組み合わせて 1 つの色を表示する画素が多数配列され、多数の走査線と多数の信号線とによって前記多数の画素がマトリクス駆動されるとともに、各信号線方向に沿って前記複数の基本色の組み合わせが繰り返し配列され、走査線の数が、信号線に沿って並ぶ全画素数に対する、前記基本色数倍にされてなるものである。

【0011】また、前記の基本構成を有し、各信号線に沿って配列された基本色の順番が、信号線に沿って繰り返し同じ順番とされ、走査線に沿って同じ基本色が配列された構成でも良い。更に、前記の基本構成を有し、信号線に沿って配列された基本色の順番が、信号線に沿って繰り返し同じ順番とされ、信号線に沿って配列された基本色の順番が、信号線に沿って繰り返し同じ順番とされ、前記基本色のそれぞれが信号線に対して斜めに配列され、かつ走査線に沿って互いに異なった基本色が隣接配列されたものでも良い。

【0012】次に、本発明の駆動方法は、先に記載の基本構成の表示装置を駆動するにあたり 1 つのフレームの間に全走査線を順次走査することを特徴とするものである。また、本発明の駆動方法は、先に記載の基本構成の表示装置を駆動するにあたり、1 つのフレームを複数のフィールドに分割し、所定のフィールドごとに飛び越し走査するものである。前記所定のフィールド数は基本色の数に応じた数が好ましい。例えば、3 色の基本色の場合は 3 つのフィールド数となる。

【0013】また、先に記載の基本構成を有し、更に 1 つのフレームの間に全走査線を順次駆動する駆動方法

と、1 つのフレームを複数のフィールドに分割し、所定のフィールドごとに飛び越し走査する駆動方法とを切換手段により選択自在にした構成であっても良い。

#### 【0014】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。図 1 は本発明を薄膜トランジスタ駆動方式の液晶表示装置に適用した一形態を示すもので、この形態において 2 枚の透明基板間に液晶が封入されて液晶表示素子 10 が構成され、この液晶表示素子 10 の透明基板の上縁部にソースドライバ Sd が 3 個 ( $S_{d1} \sim S_{d3}$ )、液晶表示素子 10 の透明基板の左側部と右側部にそれぞれ 3 個、合計 6 個のゲートドライバ Gd ( $G_{d1} \sim G_{d6}$ ) が設けられている。次に、前記液晶表示素子 10 を構成する 2 枚の透明基板のうち、一方の基板には共通電極とカラーフィルタが設けられ、他方の透明基板には薄膜トランジスタ回路が構成されている。その回路構成のうちの 1 画素に相当する部分を図 2 に拡大して示す。この形態における 1 つの画素 12 は、2 本の縦列の信号線  $S_1$ 、 $S_2$  と 4 本の横列の  $G_1$ 、 $G_2$ 、 $G_3$ 、 $G_4$  によって区画された領域で構成されている。そして、信号線  $S_1$ 、 $S_2$ 、と走査線  $G_1$ 、 $G_2$  とにより囲まれた領域に 1 つの画素電極 11 が設けられてこの領域が 1 つのドットとされ、信号線  $S_1$ 、 $S_2$ 、と走査線  $G_2$ 、 $G_3$  とにより囲まれた領域に 1 つの画素電極 11 が設けられてこの領域が 1 つのドットとされ、信号線  $S_1$ 、 $S_2$ 、と走査線  $G_3$ 、 $G_4$  とにより囲まれた領域に 1 つの画素電極 11 が設けられてこの領域が 1 つのドットとされ、これら 3 つのドットによって 1 つの画素 12 が構成されるとともに、各画素電極 11 の側部側にそれぞれスイッチ素子としての薄膜トランジスタ T が構成されている。

【0015】また、前記画素電極 11 が構成された透明基板に対向する他の基板にはカラーフィルタが設けられるが、この形態においては図 2 に示す 1 つの画素のうち、上段の画素電極 11 に対向する位置に図 3 に示すように R のカラーフィルタが、中段の画素電極 11 に対向する位置に図 3 に示すように G のカラーフィルタが、下段の画素電極 11 に対向する位置に図 3 に示すように B のカラーフィルタがそれぞれ配置される。また、他の複数の画素も含めたカラーフィルタの RGB の配置関係を図 3 に示すが、この形態においては、各信号線の長さ方向 (図 3 の上下方向) に沿って RGB、RGB の順序でカラーフィルタが配列され、走査線 N o. 1 の方向には R、R、R …、走査線 N o. 2 の方向には G、G、G …、信号線 N o. 3 の方向には B、B、B …、走査線 N o. 4 の方向には R、R、R …、走査線 N o. 5 の方向には G、G、G …、走査線 N o. 6 の方向には B、B、B … の順にそれぞれカラーフィルタが走査線数に対応させて配置されている。

【0016】また、この形態においては、VGA 表示を

行うために、信号線Sは640本設けられているが、走査線Gが $480 \times 3 = 1440$ 本設けられている。従ってこの形態においては、画素数は $640 \times 480 = 307200$ であって図9に示す従来構造と同等の画素数であるが、信号線本数が従来構造の1/3に減少している。ただし、走査線数は図9に示す従来構造の3倍（基本色数倍）となる。この構造により、従来と同等の240ピンの駆動用LSIを用いることになると、ソースドライバSdは3個で $240 \times 3 = 720$ 本まで対応可能となり、VGAで640本とすると80本の余裕が生まれるので図1に示すように3個のソースドライバSd<sub>1</sub>～Sd<sub>3</sub>が設けられ、実際には2個のソースドライバSdの端子全部と3個目のソースドライバSd<sub>3</sub>の160本程度の端子が実際に信号線S…に接続されている。また、ゲートドライバGdにおいては、走査線必要本数が1440本であるために240ピンのLSIを用いることになると、6個必要になるので、図1に示すように6個のゲートドライバGd<sub>1</sub>～Gd<sub>6</sub>が設けられている。なお、透明基板の左上側のゲートドライバGd<sub>1</sub>と右上側のゲートドライバGd<sub>4</sub>に対する走査線G…の接続形態について説明すると、透明基板の左上側のゲートドライバCd<sub>1</sub>に対して走査線G…が1本おきに接続され、右上側のゲートドライバCd<sub>4</sub>に対して残りの1本おきの走査線G…が接続されている。従って、左右に対向するゲートドライバCd<sub>1</sub>とゲートドライバCd<sub>4</sub>にG<sub>1</sub>～G<sub>480</sub>の合計480本のゲート線Gがそれぞれ1本おきに接続されている。

【0017】ここで、ソースドライバSdはゲートドライバGdよりも倍程度高価であるがために、高価なソースドライバSdを従来の8個から3個に減少させることで大幅なコストダウンをなし得る。また、ゲートドライバGdはソースドライバSdの単価において半額程度であるので、図9に示す従来構造で2個必要なものがこの形態において6個必要になったとして必要コストが向上しても、そのための必要コスト増加分は、ソースドライバSdの低減によるコスト安の分よりも少なくなる。従って結果的に表示画素数を全く変えることなく高価なソースドライバの削減による低コスト化を実現できたことになる。また、消費電力に関して見ると、消費電力約20mWのゲートドライバが6個で120mW、消費電力約100mWのソースドライバ3個で300mWとすると、合計で約420mWとなり、従来構造の約840mWに対して約半分に抑えることができる。

【0018】ところで、最近ではポリシリコンを用いて薄膜トランジスタ回路を透明基板上に形成する際に同時に薄膜トランジスタ駆動回路も形成して液晶用透明基板に駆動回路を内蔵化する構造も見られるが、液晶表示用の画素電極のオンオフ制御を行うための1bitのゲートドライバGdに比べて6～8bit程度の多階調の信号を高速で処理しなくてはならないソースドライバSd

の方が消費電力が大きく、ソースドライバSdのトランジスタ数も多いために、歩留まりも悪い問題がある。従って駆動回路を内蔵化した液晶表示装置であっても、信号線数を減少させ、ソースドライバSdを削減することは、低消費電力化と歩留まりの向上化に大きく寄与する。

【0019】また、この形態においては図3に示すようにカラーフィルタのRGB配置を行ったが、カラーフィルタのRGB配置はこの形態のように限るものではなく、図4に示すように、走査線No.1に沿ってR、B、Gの繰り返し、走査線No.2に沿ってG、R、Bの繰り返し、走査線No.3に沿ってB、G、Rの繰り返し、走査線No.4に沿ってR、B、Gの繰り返しのような配置を繰り返し走査線数に対応させて行ったものであっても良いのは勿論である。なお、この配列は、信号線Sdに沿って配列された基本色の順番が信号線に沿って繰り返し同じ順番とされ、前記基本色のそれぞれが信号線に対して斜めに配列され、かつ走査線に沿って互いに異なった基本色が隣接配列された配列である。次に、図3に示すパターンのR、G、B配置は、横ストライプとも言える配置であるが、この形態の配置であるならば、信号を処理してパソコン上でデジタル画像を加工する場合、特に隣接する画素の相関をとる誤差拡散のような処理を行う場合には、隣接する信号が同じなので処理が容易でメモリー消費が少なくて済む効果を期待できる。また、図4に示すパターンのR、G、B配置は、モザイク的な配置とも言えるが、この形態では風景のような映像を見る場合に横縞を生じることがないので、より自然な滑らかな画像を得ることができる。

【0020】次に、図1～図3を基に先に示した形態の液晶表示装置において駆動回路を駆動する場合について説明する。前記の形態の液晶表示装置の駆動方法を説明するにあたり、図9と図10に示す従来の液晶表示装置の駆動方法と対比させて以下に説明する。図9と図10に示す従来の液晶表示装置においてVGAで $640 \times 480$ ドットの表示を行う場合、フレーム周波数は60Hz（1秒間に60回画面を書き換える）とされるので、1画面を書き換えるために、約16msの時間を要する。即ち、この16msの間に、480本の走査線をスキャンすることになる。従って、ゲートドライバGdが1本1本の走査線をスキャンしてゆく周波数は60Hz×480本で、約30kHz（1本あたり約30μsec）となる。一方、信号線側については、ソースドライバSdには、信号線 $640 \times 3 = 1920$ 本分の信号が時系列に送られ、それを一時ため込んで1920本分を一斉に吐き出すように構成されている。従って、時系列に送られてくる信号を1ドット分ずつ読み取るためのドットクロックは、30kHz×1920本で約60MHzとなる。

【0021】これに対して、図1と図2に示す構造の液

晶表示装置を用いてフレーム周波数を先の場合と同様に60Hzとすると、走査線Gの本数を図9と図10に示す従来構造に比べてR、G、B用に図5に示すように3倍としているので、走査速度を3倍として駆動する。具体的には、走査線Gを $480 \times 3 = 1440$ 本、信号線Sを640本としているので、ゲートドライバGdが走査線Gをスキャンする場合の周波数は、 $60\text{Hz} \times 480 \times 3 = 90\text{kHz}$ となる。ここで通常使用されているゲートドライバでは、約100kHzまで動作可能であり、この点からみれば、従来構造と同じゲートドライバを用いることができる。一方、図1と図2に示す構造では、信号線Sを図9と図10に示す従来構造の1/3の640本にできるために、ソースドライバSdのドットクロックは $90\text{kHz} \times 640 = 57.6\text{MHz}$ となり従来構造の場合と変わらない。従って図1と図2に示す構造であると、図9と図10に示す従来構造と同じゲートドライバGdおよびソースドライバSdをそのまま用いることができる。

【0022】次に、図1と図2に示す構造であると、以下の効果を奏すことができる。

①図1と図2に示す構造は、図9と図10に示す従来構造の液晶表示装置と比べて画質的な劣化を全く生じない。即ち、1画面を空間的に見ると、画素数は図1に示す構造も図9に示す構造も307200であり、解像度の変化は生じない。また、時間的に見ても、図1に示す構造も図9に示す構造もフレーム周波数は60Hzで同じなので、動画表示の面でも全く問題ない。

②図1と図2に示す構造は、図9と図10に示す従来構造の液晶表示装置と比べて同じゲートドライバと同じソースドライバを使用することができ、しかも、安価なゲートドライバを2個から6個に増やす必要があるものの、ゲートドライバの2倍程度高価なソースドライバを8個から3個に減少させることができるので、全体として低コスト化できる。

【0023】③消費電力を低減できる。ドライバ消費電力については、ゲートドライバの約20mWの消費電力のものを6個必要とするので120mWであるが、ゲートドライバ1個あたりの消費電力は走査線をスキャンする場合の周波数が3倍になったために、3倍となり、合計で360mWとなり、ソースドライバの約100mWのものを3個必要とするので300mWとすると、全部で合計660mW必要になるが、従来構造では約840mW必要だったので、約4/5程度に削減できる。

【0024】次に、図1と図2に示す構造を採用した場合の駆動方法の他の形態について図6を基に以下に説明する。この形態の駆動方法においては、図6に示すように1つのフレームを3つのフィールドに分割してフィールド間を2本飛ばした飛び越し走査を行うところに特徴を有する。具体的には、1画面を3つのフィールドで書き込み、フレーム周波数を20Hz、フィールド周波数

を60Hz（約1.6ms）とし、1つのフィールド（約1.6ms）の間にスキャンする走査線を全走査線数1440本の1/3の480本とする。従ってゲートドライバが走査線をスキャンする周波数は $60\text{Hz} \times 480$ 本となり、図9と図10に示す従来構造の駆動の場合と同じ約30kHzとなり、本発明の先に記載した形態の駆動方法の場合の1/3とすることができます。また、それに伴って、ドットクロックも $30\text{kHz} \times 640$ 本となり、図9と図10に示す従来構造の駆動と同じ約30kHz、即ち、本発明に係る先の形態の場合の1/3となる。

【0025】以上のような駆動方法を採用した場合、以下に説明する効果を得ることができる。

①図9と図10に示す従来構造で用いたものと同等のゲートドライバとソースドライバを用いることができ、しかも、安価なゲートドライバを2個から6個に増やす必要があるものの、高価なソースドライバを8個から3個に減少させることができるので、低コストにすることができる。

【0026】②ドライバ消費電力については、走査線をスキャンする周波数が従来と同じであるために従来構造と同じように約20mWであり、約20mWの消費電力のものを6個必要とするので120mWとなり、ソースドライバの約100mWのものを3個必要とするが、それらのドットクロックは、従来の1/3となるために、ソースドライバの1個あたりの消費電力は1/3となり、結果的に $100/3\text{mW}$ となると、全部で合計約220mW必要になるが、従来構造では約840mW必要であったので、約1/4程度に削減できる。

③回路の設計変更部を少なくして実現できる（先の形態の場合よりも従来構造を流用できる）。特に、1つのフレームを基本色数のフィールド（この形態の場合はR、G、Bの3フィールド）に分け、フィールド周波数を60Hzとし、間を2本飛ばして走査することにより、ゲートドライバの走査線をスキャンする周波数を従来と全く同じ $640 \times 480$ 本で約30kHzとすることができます、ゲートドライバの周辺回路を従来構造と同じようにすることができます。

【0027】ところで、前記の各形態においては、薄膜トランジスタを用いた液晶表示装置（TFT-LCD）の場合を基に説明したが、複数の基本色（例えば、R、G、B）を組み合わせて1つの色を表示する画素を配列し、マトリクス駆動する表示装置においては、同様の効果を期待できるので、単純マトリクス液晶表示装置、FED（フィールドエミッショナディスプレイ）、強誘電液晶表示装置、プラズマディスプレイ、ELディスプレイ等に広く本発明を適用できるのは勿論である。また、1つの画素を基本色に分割する場合、2色分割あるいは4色分割等も可能があるので、それらの分割の場合は走査線数を従来の2倍あるいは4倍として対応し、カ

ラーフィルタの配置も2色あるいは4色を前述のような横ストライプ配置あるいはモザイク配置とすれば良い。

【0028】図7と図8は本発明を単純マトリクス式の液晶表示装置に適用した例を示すもので、2枚の透明基板間に液晶が封入され、一方の透明基板の液晶側にカラーフィルタが設けられ、更に、この一方の透明基板に透明導電層製の走査線G<sub>1</sub>、G<sub>2</sub>…が、他方の基板の液晶側に透明導電層からなる信号線S<sub>1</sub>、S<sub>2</sub>…が交差するよう対向配置されて液晶表示素子20が構成されている。なお、図8は図7に示す1つの画素22のみを拡大して示すもので、この形態においてもカラーフィルタは、R、G、Bに3分割され、R、G、Bで3分割された各領域毎に走査線Gが設けられている。また、透明基板の上縁部にはセグメントドライバSg<sub>1</sub>、Sg<sub>2</sub>、Sg<sub>3</sub>が設けられ、各ドライバの端子がそれぞれ信号線Sに接続されるとともに、透明基板の左右両縁部にはそれぞれ3個、合計6個のコモンドライバCd(Cd<sub>1</sub>～Cd<sub>6</sub>)が設けられ、各ドライバの端子がそれぞれ走査線Gに接続されている。なお、この例においても先の例の場合と同様に、多数配列されたゲート線G…のうち、1本おきのゲート線G…が左側のコモンドライバCdに、残りの1本おきのゲート線G…が右側のコモンドライバに接続されている。この例においては信号線Sと3つの走査線Gとが挟んで区画する領域に画素が構成され、その画素が3つのドットに分割されて構成されることで目的を達成している。このように単純マトリクス式の液晶表示装置にあっては、対向して交差する信号線Sと走査線Gの交差部分の間に存在する液晶に電界が印加されて液晶が駆動されるのでこの信号線Sと走査線Gが交差する部分が1つのドットを構成する。

【0029】なお、前述の各形態の説明においては、640×480画素のVGAの場合について説明したが、この他にも画面の表示形態は種々のものがあり、走査線数480本のNTSC方式のテレビ画面、走査線数570本のPAL方式のテレビ画面、走査線数1125本のHDTV方式、走査線数600本のSVGA、走査線数768本のXGA、走査線数1024本のEWS等の種々の規格に合わせて本発明構造を適用できるのは勿論である。

【0030】また、前記図5を基に説明した駆動方法と図6を基に説明した駆動方法を切り替えて使用する構造とすることもできる。例えば、液晶表示装置がノートパソコン用に用いられた場合は、ノートパソコンの表示装置回りに切替用のスイッチを設けておき、このスイッチにより図5を基に説明した駆動方法をなす駆動回路と図6を基に説明した駆動方法をなす駆動回路を切り替えて表示装置の表示状態を使用目的に合わせて変更できるように構成しても良い。

### 【0031】

【発明の効果】以上説明したように本発明によれば、従

来構造の表示装置と比べて画質的な劣化を全く生じることなく、従来構造の液晶表示装置と同じゲートドライバとソースドライバを使用することができ、しかも、高価なソースドライバを大幅に削減することができる。また、ソースドライバよりも安価なゲートドライバの必要数は増加するが、ゲートドライバの増加によるコスト増加分よりもソースドライバの削減によるコスト減の方を大きくできるので、全体として低コストにすることができる。ここで例えば、1つの画素を3つの基本色で構成する場合は、走査線本数を従来の3倍、ゲートドライバ数を従来の3倍とする必要があるが、信号線本数を従来の1/3、ソースドライバ数を従来の1/3とすることができます。次に、ドライバの消費電力については、消費電力の大きなソースドライバを大幅に削減できるので、ゲートドライバの増加分を差し引いても全体として消費電力を抑制することができる。

【0032】一方、先に記載の構成において、1つのフレームを複数のフィールドに分割し、フィールド毎に走査することで、従来構造の駆動の場合と同様に表示装置を駆動することができる。また、先に記載の構成において1つのフレームを複数のフィールドに分割し、所定のフィールド毎に飛び越し走査することにより、走査線数の増加に拘わらず走査する周波数を従来構造の駆動の場合と同程度にできるので、ソースドライバ1個あたりの消費電力を更に低減できて省電力化することができる。また、表示装置においてこれらの駆動方法なす駆動回路を切り替えできる構造とすることで種々の表示形態に合わせた駆動方式を選択できる表示装置を提供できる。

### 【図面の簡単な説明】

【図1】 本発明に係る表示装置の第1の形態を示す平面図。

【図2】 図1に示す表示装置の画素と薄膜トランジスタ構造の関係を示す拡大図。

【図3】 図2に示す構造においてカラーフィルタのRGB配置の一例を示す図。

【図4】 図2に示す構造においてカラーフィルタのRGB配置の他の例を示す図。

【図5】 本発明に係る表示装置を駆動する場合のフレーム周波数とフィールドの関係の一例を示す図。

【図6】 本発明に係る表示装置を駆動する場合のフレーム周波数とフィールドの関係の他の例を示す図。

【図7】 本発明を単純マトリクス駆動の液晶表示装置に適用した一形態を示す図。

【図8】 図7に示す液晶表示装置の1つの画素の拡大図。

【図9】 従来の液晶表示装置の液晶表示装置の平面図。

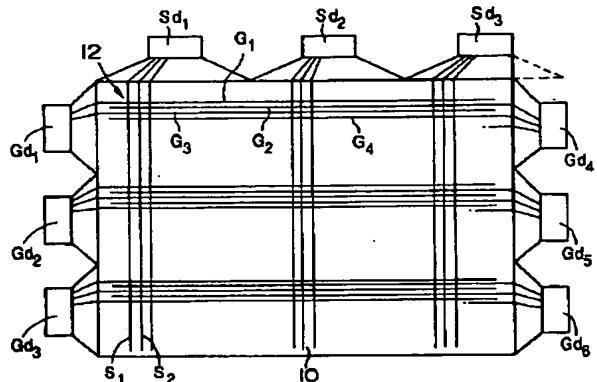
【図10】 図9に示す液晶表示装置の1つの画素の拡大図。

### 【符号の説明】

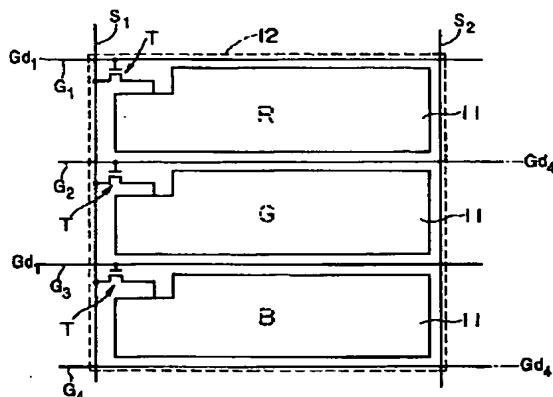
Sd ソースドライバ、  
Gd ゲートドライバ、  
G 走査線、  
S 信号線、

T 薄膜トランジスタ、  
10、20 液晶表示素子、  
11 画素電極、  
12 画素、

【図1】



【図2】



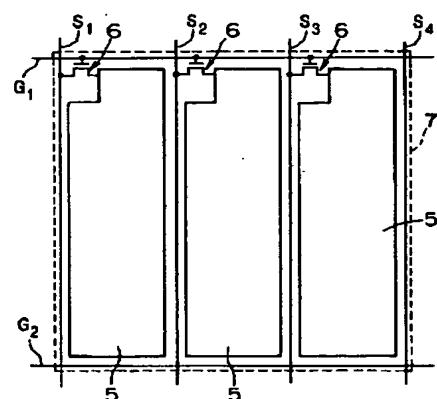
【図3】

走査線No.	信号線 No. 1 2 3		
	R	R	R
1	G	G	G
2	B	B	B
3	R	R	R
4	G	G	G
5	B	B	B
6	R	R	R
7	G	G	G
8	B	B	B
9			

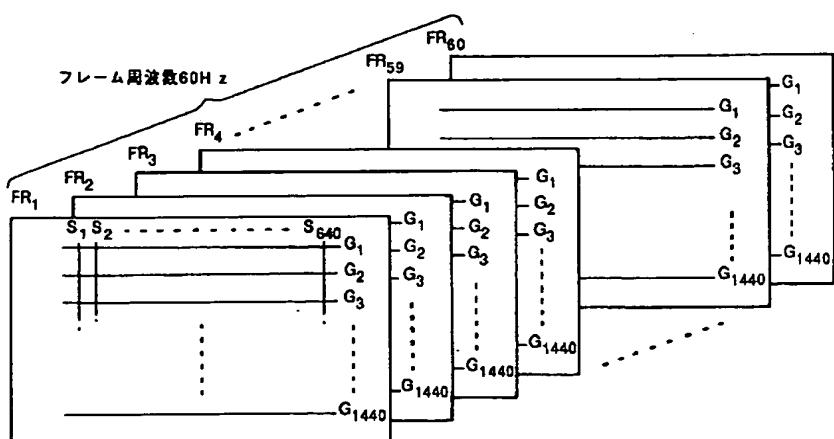
【図4】

走査線No.	信号線 No. 1 2 3		
	R	B	G
1	G	R	B
2	B	G	R
3	R	B	G
4	G	R	B
5	B	G	R
6	R	B	G
7	G	R	B
8	B	G	R
9			

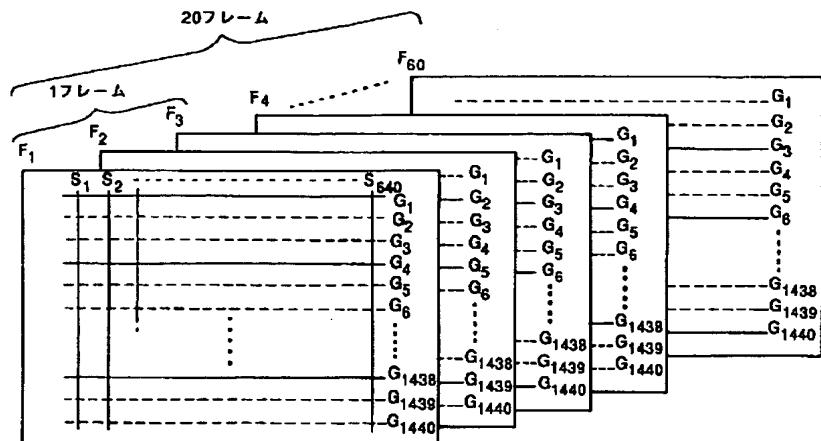
【図10】



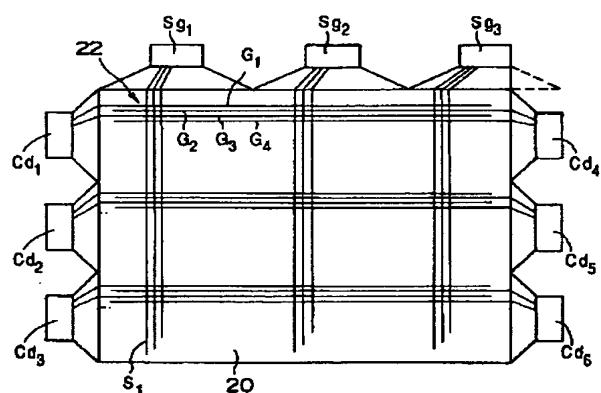
【図5】



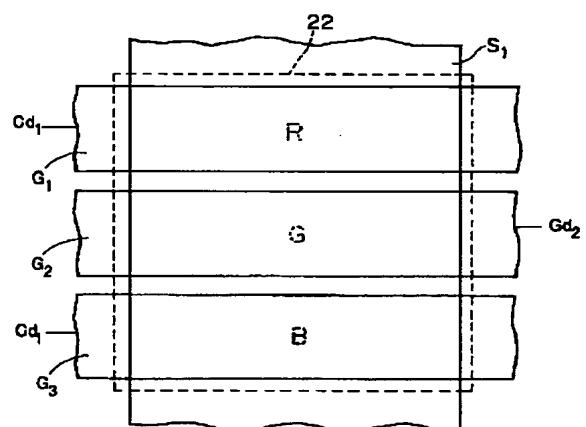
【図6】



【図7】



【図8】



【図9】

